

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : New Application
Applicant : Kazuo HOTAKA
Filed : Herewith
TC/A.U. : To be assigned
Examiner : To be assigned

Docket No. : 2905-108
Customer No. : 06449
Confirmation No. : To be assigned

SUBMISSION OF PRIORITY DOCUMENT

Director of the United States Patent
and Trademark Office
P.O. Box 1450
Alexandria, Virginia 22313-1450

Dear Sir:

Under the provisions of 35 U.S.C. § 119(b), Applicant submits herewith a certified copy of the priority document in support of the claim for priority made in the above-referenced U.S. patent application on the following foreign application:

Japanese Patent Application No. 2003-084391, filed March 26, 2003.

Respectfully submitted,

By Vincent M De Luca
Vincent M. DeLuca
Attorney for Applicant
Registration No. 32,408
ROTHWELL, FIGG, ERNST & MANBECK, p.c.
Suite 800, 1425 K Street, N.W.
Washington, D.C. 20005
Telephone: (202)783-6040

Enclosure: 1 priority document

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

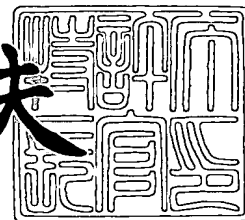
出 願 番 号 特 願 2 0 0 3 - 0 8 4 3 9 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 4 3 9 1]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 2 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願
【整理番号】 KGA1030026
【提出日】 平成15年 3月26日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 11/00
【発明者】
【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内
【氏名】 保高 和夫
【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代表者】 桑野 幸徳
【代理人】
【識別番号】 100111383
【弁理士】
【氏名又は名称】 芝野 正雅
【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東京
事務所
【手数料の表示】
【予納台帳番号】 013033
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9904451
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 誤書込み防止回路および該誤書込み防止回路を含む半導体装置

【特許請求の範囲】

【請求項 1】 低電圧検知回路と低電圧検知回路のバイアス電流をカット出来るスイッチと成り得るトランジスタを備えており、前記トランジスタの制御により、前記低電圧検知回路のバイアス電流のオン、オフの制御を可能とし、瞬時停電などの低電圧状態から復帰する状況において、バイアス電流がオフされ前記低電圧検知回路が動作しない場合に、補完的に動作することが出来るリセット回路を有し、前記リセット回路は、書込み読込み制御部をリセット信号により初期状態とすることを特徴とする誤書込み防止回路。

【請求項 2】 前記リセット回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、より確実にリセット信号を発生し、誤書込みを防止する請求項 1 の誤書込み防止回路。

【請求項 3】 前記低電圧検知回路のバイアス電流をカット出来るスイッチを制御する回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、バイアス電流がオンし易くし、誤書込みを防止する請求項 1 の誤書込み防止回路。

【請求項 4】 前記リセット回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、より確実にリセット信号を発生し、更に、前記低電圧検知回路のバイアス電流をカット出来るスイッチと成り得るトランジスタを制御する回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、バイアス電流がオンし易くし、誤書込みを防止する請求項 1 の誤書込み防止回路。

【請求項 5】 低電圧検知回路と低電圧検知回路のバイアス電流をカット出来るスイッチと成り得るトランジスタを備えており、前記トランジスタの制御により、前記低電圧検知回路のバイアス電流のオン、オフの制御を可能とし、瞬時停電などの低電圧状態から復帰する状況において、バイアス電流がオフされ前記低電圧検知回路が動作しない場合に、補完的に動作することが出来るリセット回

路を有し、前記リセット回路は、書込み読込み制御部をリセット信号により初期状態とすることを特徴とする誤書込み防止回路と共に、不揮発性メモリ及びマイクロコンピュータを装備する半導体装置を有することを特徴する誤書込み防止回路を含む半導体装置。

【請求項 6】 前記リセット回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、より確実にリセット信号を発生し、誤書込みを防止する請求項 5 の誤書込み防止回路を含む半導体装置。

【請求項 7】 前記低電圧検知回路のバイアス電流をカット出来るスイッチを制御する回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、バイアス電流がオンし易くし、誤書込みを防止する請求項 5 の誤書込み防止回路を含む半導体装置。

【請求項 8】 前記リセット回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、より確実にリセット信号を発生し、更に、前記低電圧検知回路のバイアス電流をカット出来るスイッチと成り得るトランジスタを制御する回路において、使用されるトランジスタのスレシヨルド・レベルを変更し、バイアス電流がオンし易くし、誤書込みを防止する請求項 1 の誤書込み防止回路を含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、低電圧検知回路と、低電圧検知回路のバイアス電流をカット出来るスイッチと、バイアス電流カット時に補完的にリセット動作を行う回路を備えた誤書込み防止回路に関する。

【0002】

【従来の技術】

EPROM、EEPROM、いわゆる一括消去可能なフラッシュメモリなどの不揮発性メモリは、電源電圧がオフされても、データを保持することができる。その為、マイクロコンピュータ（以下マイコンと言う）のメモリの一部として用いられ、書き換えプログラムを搭載させ、プログラム自体を書き直せることができ

、プログラム評価時、プログラムのバグなどを容易に直すことができる。

【0003】

不揮発性メモリには、電源投入時、および電源電圧 V_{DD} 低下の状態では動作が不安定な状況になる。その理由は、例えばフラッシュメモリではフローティングゲートに電荷を注入するからであり、電圧が低い状況では、不揮発性メモリは、十分な電荷をフローティングゲートに注入することが出来なくなり、所定のデータ保持特性を保証できなくなるからである。その様な事態を防ぐために、不揮発性メモリ自体に、低電圧検知回路を搭載することが従来から一般的になっている。

【0004】

電源投入時や電源電圧 V_{DD} の低下により、電源電圧 V_{DD} が低下したことを検知すると、自動的に不揮発性メモリの書込み読込みを制御部にリセット信号を出す構成となっており、電源電圧 V_{DD} が低い状況では、書込みを禁止している。これにより、不揮発性メモリへの書込みができる場合のみ、確実に書込みができる。

【0005】

近年、上記の如く、マイコンのメモリの一部として、不揮発性メモリを用いる場合があり、この場合はマイコンと不揮発性メモリが、半導体基板上に1チップ化されており、1チップ化されたマイコン及び、不揮発性メモリの電源電圧 V_{DD} に低電圧検知回路が接続され、低電圧状態を監視している。

【0006】

また、不揮発性メモリ単体では、スタンバイ制御などの消費電力の削減機能を、一般的に装備していない。通常は、不揮発性メモリと1チップ化されたマイコンにスタンバイモードがあり、システム全体のパワーオン、オフの制御に伴い、低電圧検知回路も、オン、オフさせ消費電力を抑えるようにしている。

【0007】

図3は、従来の構成を示したものである。1は電源電圧 V_{DD} の低下を検知する低電圧検知回路、2は電源電圧 V_{DD} を抵抗分割する抵抗、3は電源電圧 V_{DD} を抵抗分割する抵抗、4は電圧検知レベルとしての基準値 V_{ref} を発生する基

準電圧発生回路、5は抵抗2及び抵抗3の midpoint 電圧及び基準値 V_{ref} を比較する比較器、6は比較器5の出力信号を反転するインバータ、7はインバータ、8は不揮発性メモリ、9は不揮発性メモリ8に対して書込み及び読み出しの設定等を制御し、低電圧検知回路1の出力信号にリセットされるモード制御レジスタ、10はモード制御レジスタ9の出力信号に基づき、不揮発性メモリ8に対してリードイネーブル、ライトイネーブル、アドレス信号の出力、データの入出力を実行する書込み読み込み制御部、11はチップ内に内蔵されたマイコン、12は外部リセット信号によりリセットされるスタンバイ制御レジスタ、13はスタンバイモードの制御データに応じて低電圧検知回路1のバイアスをオン、オフするトランジスタ、14はIC化されたマイコンに外付けされる一般的な外部リセット回路であり、15は入力段に設けられたシュミット・タイプのバッファである。

【0008】

図3において、低電圧検知回路1は、スタンバイモード以外では、常に電源電圧 V_{DD} の低下を監視するために、動作状態にする必要があり、低電圧検知回路1にはバイアス電圧が常時かけられており、動作状態では常に電力が消費されている。

【0009】

電源電圧 V_{DD} が低下した場合、低電圧検知回路1において、電源電圧 V_{DD} は、抵抗2、抵抗3によって分圧され、反転入力端子に入力される。電圧比較器の非反転入力端子に接続される基準電圧 V_{ref} の電圧と、上記の反転入力端子に入力される電圧が比較される。抵抗2および3から作成された分圧 midpoint 電圧を V_{IN} とすると、信号Bは $V_{IN} > V_{ref}$ の場合は「L」、 $V_{IN} < V_{ref}$ の場合は「H」となる。更に、信号Bは、インバータ6に入力されるので、判定結果は反転し、 $V_{IN} > V_{ref}$ の場合は「H」、 $V_{IN} < V_{ref}$ の場合は「L」となる。これにより、低電圧を検知した場合、「L」アクティブのリセット信号を作成する。

【0010】

低電圧検知回路1の出力信号である前記リセット信号は、モード制御レジスタ9に印加され、低電圧を検知した場合にモード制御レジスタ9を初期状態とし、

同時にモード制御レジスタ 9 は、書込み読込み制御部 10 の動作モードを初期状態とする。電源電圧 VDD が低電圧状態から復帰すると、低電圧検知回路 1 の出力信号は「L」レベルから「H」レベルとなり、モード制御レジスタ 9 は、書込み読込み制御部 10 の動作モードの初期状態を解除する。

【0011】

例えば、不揮発性メモリ 8 にデータを書込み中に、電源電圧 VDD が検知レベルより低下した場合、低電圧検知回路 1 が低電圧を検知し、低電圧検知回路 1 はリセット信号をモード制御レジスタ 9 に出力し、モード制御レジスタ 9 は初期化され、同時に書込み読込み制御部 10 の動作モードが初期状態になり、書込み読込み制御部 10 が初期状態では書込みは中断され、低電圧時における書込みを防止することが出来、電圧が低い状況で、不揮発性メモリ 8 に十分な電荷をフローティングゲートに注入出来ない状態での書込みを防止することが出来る。

【0012】

電源投入時、スタンバイ制御レジスタ 12 は、外部リセット回路 14 から初期リセット信号を受けると、初期値である「L」レベルに設定され、前記「L」レベルをインバータ 7 へ出力し、引き続き、前記「L」レベルはインバータ 7 により反転され「H」レベルになり、トランジスタ 13 は「H」レベルを受け、トランジスタ 13 は「H」レベルでオン状態となり、低電圧検知回路 1 にバイアス電流が流れ、低電圧検知回路 1 は低電圧を検知可能な状態となる。

【0013】

また、消費電流を抑えるため、スタンバイ状態に設定されると、マイコンからのスタンバイモード信号により、スタンバイ制御レジスタ 12 は「H」レベル設定され、前記「H」レベルをインバータ 7 へ出力し、引き続き、前記「H」レベルはインバータ 7 により反転され、「L」レベルになり、トランジスタ 13 は「L」レベルを受け、トランジスタ 13 はオフ状態となり、低電圧検知回路 1 のバイアス電流がカットされ、消費電流を抑えることが出来る。但し、バイアス電流がカットされた状態では、低電圧検知回路 1 は低電圧を検知不可能となる。

【0014】

【特許文献 1】特開平 8-95865 号公報

【0015】

【特許文献2】特開平2002-366436号公報

【0016】

【発明が解決しようとする課題】

ところで、低電圧検知回路1は、スタンバイ制御レジスタ12により、プログラマブルに制御できることが一般的になっている。ノイズの影響により、瞬間的にTr駆動電圧以下に電源電圧VDDが下がるという瞬時停電が起こることがある。

【0017】

瞬時停電によるTr駆動電圧レベル以下の低電圧時からの復帰には、外部リセット回路の構成により、1例として示される外部リセット回路14では、電源電圧VDDの変化が、外部リセット回路14に含まれるコンデンサの時定数より速いので放電が出来ず、その為、外部リセット回路14から、瞬時停電に伴うリセット信号をスタンバイ制御レジスタ12へ出力できない事態となる。

【0018】

Tr駆動電圧より電圧が下がったのち、Tr駆動電圧復帰時には、スタンバイ制御レジスタ12の設定が不定値になり、必ずトランジスタ13をオンにすることが出来ず、低電圧検知回路1にバイアス電流が供給されない場合があり、その場合、低電圧検知回路1はオフしたままであり、低電圧状態を検知して、自動的にリセット信号を発生することは出来ない。

【0019】

前記リセット信号が発生しない場合、モード制御レジスタ9は、Tr駆動電圧以下まで下がっているため、Tr駆動電圧復帰時には、トランジスタの状態が確定されないことから、モード制御レジスタ9の設定が不定値になり、書込み読み込み制御部10のモードを決定するモード信号が、どのような値になるか確定出来ない。例えば、瞬時停電前には、リードモードだったが、瞬時停電から復帰後は、いきなりライトモードになることがある。

【0020】

上述したように、瞬時停電の場合、外部リセット信号及び低電圧検知回路の出

力信号が出力されない場合、モード制御レジスタ 9 はリセットされず、瞬時停電復帰後、誤動作する恐れがあり、モード制御レジスタ 9 が誤動作すると不揮発性メモリ 8 に誤書込みを起す問題があった。

【0021】

【課題を解決するための手段】

本発明は、以上のような問題に鑑みて成されたものであり、その目的は、低電圧検知回路 1 のバイアス電流をカット出来るスイッチと成り得るトランジスタ 13 を設け、これによりスタンバイ電流のオン、オフの制御を可能にし、ノイズの影響による瞬時停電から復帰する状況で、確実にリセット信号を発生することが出来る低電圧検知回路 1 を含むリセット回路により構成されることを特徴とする。

【0022】

【発明の実施の形態】

図 1 は、本発明の実施形態を示すブロック図であり、16 はスタンバイ制御レジスタ 12 からの出力信号である信号 E のラインに設けたインバータであり、17 は信号 C と信号 F の論理積をとるアンドゲートである。尚、従来と同一の回路については、同一符号を付し、説明を省略する。

【0023】

本実施形態の特徴とするところは、瞬時停電状態において、外部リセット回路 14 及び低電圧検知回路 1 が動作しない場合でも、インバータ 16 からの出力である信号 F がアクティブ（「L」レベル）になることで、自動的に、モード制御レジスタ 9 のリセットを可能にしたことである。

【0024】

瞬時停電が発生、電源電圧 VDD が図 4（VDD）のように変化した場合、一端、Tr 駆動電圧以下まで下がっているため、瞬時停電から復帰の際、スタンバイ制御レジスタ 12 からの出力信号 E は、どのような値で復帰するか不明確な状況であり、図 4（E）に示すように最初は上昇し、途中から下降することがある。

【0025】

この時、外部リセット回路 14 に含まれるコンデンサの時定数より速く放電が間に合わず、リセット動作が働かず、外部リセット回路 14 からの信号 A が、図 4 (A) のように電源電圧 VDD と同様に変化することがある。

【0026】

信号 C は、バイアス電流がカットされているため、低電圧検知回路 1 は働かずに、図 4 (C) のように、電源電圧 VDD と同様に変化することがある。また、インバータ 7 及び、インバータ 16 を構成するトランジスタの「1」と「0」を判定するスレシヨルド・レベルは、電源電圧 VDD に比例し、電源電圧 VDD の変化に追従するように変化し、図 4 (E) の破線に示される。

【0027】

一方、信号 F は、電源電圧 VDD と同様に上がって行き、信号 E の電圧レベルが Tr 駆動電圧に達すると「L」レベルになり、その後、信号 E の電圧レベルが下がり、スレシヨルド・レベル以下になると、反転し「H」レベルになり、モード制御レジスタ 9 のリセット状態は解除される。この時の信号 F の変化を、図 4 (F) に示す。信号 F は、一定の区間は、「L」レベルになる。

【0028】

信号 G は、モード制御レジスタ 9 のリセット信号であり、信号 F が「L」レベルの間に同様に変化し、図 4 (G) に示され、モード制御レジスタ 9 を初期化する。モード制御レジスタ 9 は、書込み読込み制御部 10 を初期状態に設定し、初期状態に設定された書込み読込み制御部 10 は、不揮発性メモリ 8 に誤書込みを起す事態は無い。

【0029】

従って、瞬時停電が発生し、外部リセット回路 14 からリセット信号が来ない状況であっても、インバータ 16 の出力である信号 F が「L」レベルになったことで、自動的にモード制御レジスタ 9 へのリセット信号が出力され、不揮発性メモリ 8 に誤書込みを起す事態は回避される。

【0030】

図 5 は、スタンバイ制御レジスタ 12 からの信号 E が、図 5 (E) に示すように、図 4 の状況と違い途中で下がらずに、そのまま電源電圧 VDD と同様に「H

」レベルなった場合、電源電圧VDDの変化を図5（VDD）、信号Aの変化を図5（A）、信号Eの変化を図5（E）、信号Cの変化を図5（C）、信号Fの変化を図5（F）、信号Gの変化を図5（G）に、それぞれ示す。

【0031】

信号Fは、信号Eの電圧レベルがTr駆動電圧に達すると、「L」レベルになり、そのまま「L」レベルを保持し、モード制御レジスタ9のリセット信号である信号Gは、信号Fと同様に変化し、同様に「L」レベルを保持する。

【0032】

従って、不揮発性メモリ部8は、リセット状態が続き、書込み及び読込みなど一切動作することは出来ない。しかし、リセット信号が正常に来ない状況では、モード制御レジスタ9からの出力であるモード信号の値は不確定な状況であり、リセット状態を維持することで、不揮発性メモリ8に対して致命的な誤書込みを回避することが出来る。

【0033】

これにより、スタンバイ制御を行うトランジスタ13の搭載により消費電力を削減可能にし、尚且つ、瞬時停電が発生、電源電圧VDDがTr駆動電圧以下まで下がり、外部リセット回路14からリセット信号Aが来ない状況において、スタンバイ制御レジスタ12からの出力信号Eが、最初は上昇し途中から下降たり、電源電圧VDDと同様に上昇したりしても、モード制御レジスタ9に対して、リセット信号を出力するか、又はリセット信号を保持し、確実に誤書込みを禁止することが可能になった。

【0034】

図2は、発明の他の実施形態を示すブロック図であり、本実施形態において、図1と異なる点は、インバータ16を低Vtインバータ18に変更し、更にインバータ7を高Vtインバータ19に変更した点である。低Vt及び高Vtは、低スレシヨルド、高スレシヨルドを意味する。

【0035】

低Vtインバータ18は、低スレシヨルドのため、標準的なスレシヨルドを持つインバータに比べ、入力電圧が低い状態で、「L」レベルになる。従って、イ

ンバータ 18 の出力信号である信号 H は、標準的なスレシヨルドを持つインバータに比べ「L」レベルになり易く、モード制御レジスタ 9 にリセット信号を出力し易い構成となっている。

【0036】

また、高 V_t インバータ 19 は、高スレシヨルドのため、標準的なスレシヨルドを持つインバータに比べ、入力電圧が高くなると、「L」レベルにならない。従って、信号 I は、「H」レベルを出力し易い構成となっている。信号 I が「H」の時、トランジスタ 13 はオンになりバイアス電流が流れ、低電圧検知回路 1 は、標準的なスレシヨルドを持つインバータに比べ、低電圧を検知できる状態となり易い。

【0037】

図 2 の実施形態において、電源電圧 V_{DD} が瞬時停電により、図 6 (V_{DD}) のように変化した場合、スタンバイ制御レジスタ 12 からの出力である信号 E は、不安定な状況であり、図 6 (E) に示す様に变化することがある。電源電圧 V_{DD} の変化を図 6 (V_{DD})、信号 A の変化を図 6 (A)、信号 E の変化を図 6 (E)、信号 H の変化を図 6 (H)、信号 I の変化を図 6 (I)、信号 J の変化を図 6 (J)、信号 K の変化を図 6 (K) に、それぞれ示す。

【0038】

また、低 V_t 及び高 V_t のスレシヨルド・ラインを図 6 (E) に破線で示す。低 V_t 及び高 V_t スレシヨルド・ラインは、電源電圧 V_{DD} に比例して追従する。

【0039】

信号 H は、信号 E の電圧レベルが T_r 駆動電圧に達すると、「L」レベルになり、その後、信号 E が低スレシヨルド・レベル以下になると、反転し「H」レベルになり、リセット状態は解除される。

【0040】

一方、信号 I は、信号 E が途中から下がり、高 V_t スレシヨルド・ライン以下になると、「H」レベルになり、トランジスタ 13 がオンになり、バイアス電流が流れ、低電圧検知回路 1 は低電圧を検知可能となる。

【0041】

信号 J は、最初、電源電圧 VDD と同様に上がって行くが、信号 I が「H」レベルになると、低電圧検知回路 1 が動作し、一端、「L」レベルに下がり、リセット信号を出力し、引き続き、電源電圧 VDD が上昇し検知レベルを越えると、今度は、「H」レベルになり、モード制御レジスタ 9 に対して、リセット信号状態を解除する。

【0042】

また、図 6 において、低、高スレシヨルドを用いた事で、信号 H と信号 J で、リセット信号が重複する区間「t」が発生する。信号 K は、信号 H と信号 I の論理積であり、重複するリセット区間がある方が、より安定動作を行うことが出来る。

【0043】

【発明の効果】

上述の如く、本発明によれば、スタンバイ電流をカットすることが出来、低電圧検知回路 1 のバイアス電流のオン、オフに関係なく、確実にリセット信号を発生させることで誤書込みを防止し、ノイズに対して飛躍的に信頼性を向上した。

【図面の簡単な説明】

【図 1】 本発明の実施形態を示すブロック図である。

【図 2】 本発明の他の実施形態を示すブロック図である。

【図 3】 従来例を示すブロック図である。

【図 4】 図 1 の実施形態を説明するタイミング図である。

【図 5】 図 1 の実施形態を説明するタイミング図である。

【図 6】 図 2 の実施形態の動作を説明するタイミング図である。

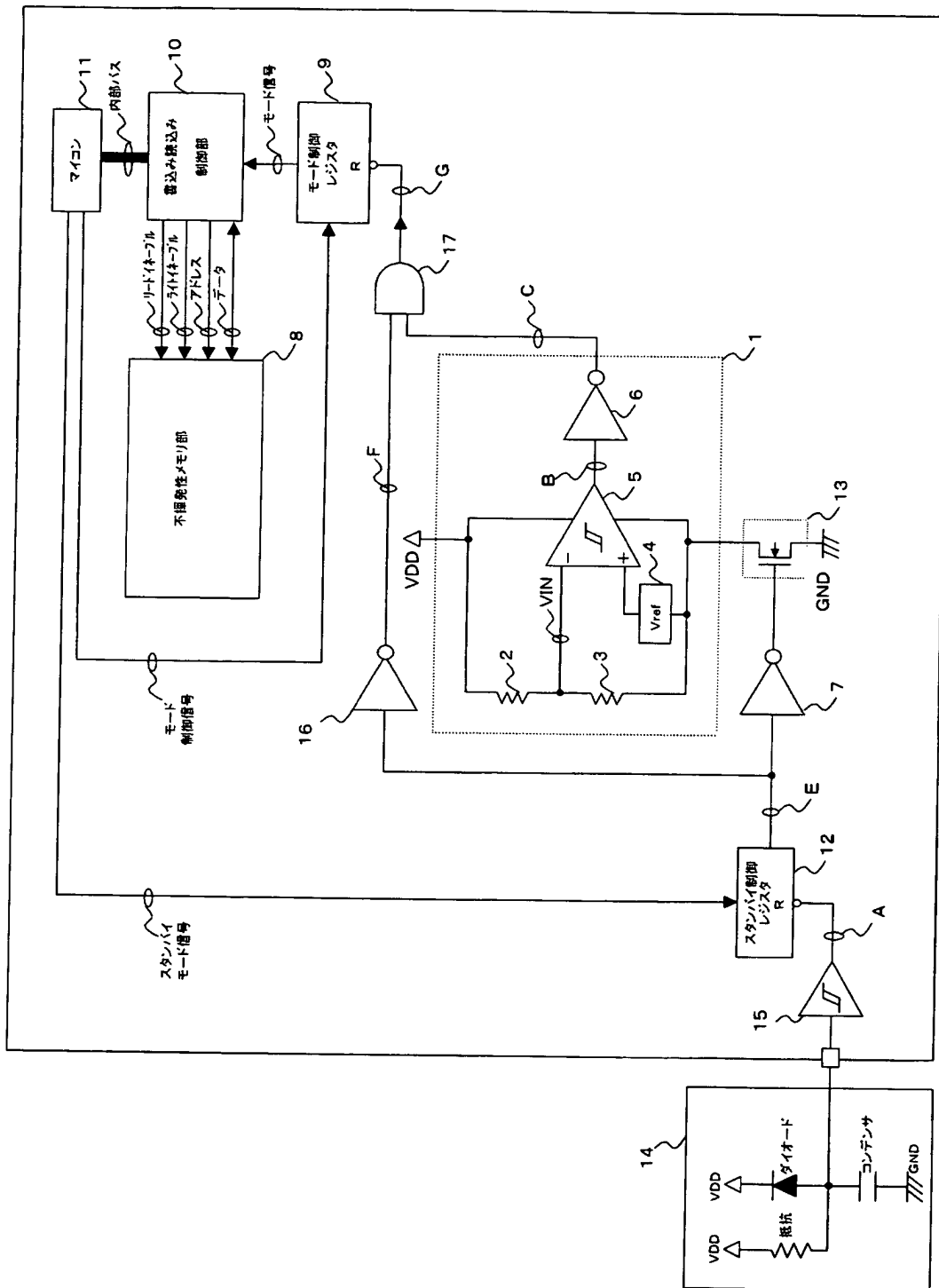
【符号の説明】

1 低電圧検知回路、2 抵抗、3 抵抗、4 基準電圧発生回路、5 比較器、6 インバータ、7 インバータ、8 不揮発性メモリ、9 モード制御レジスタ、10 書込み読み込み制御部、11 マイコン、12 スタンバイ制御レジスタ、13 トランジスタ、14 外部リセット回路、15 バッファ、16 インバータ、17 アンドゲート、18 低 V_t インバータ、19 高 V_t

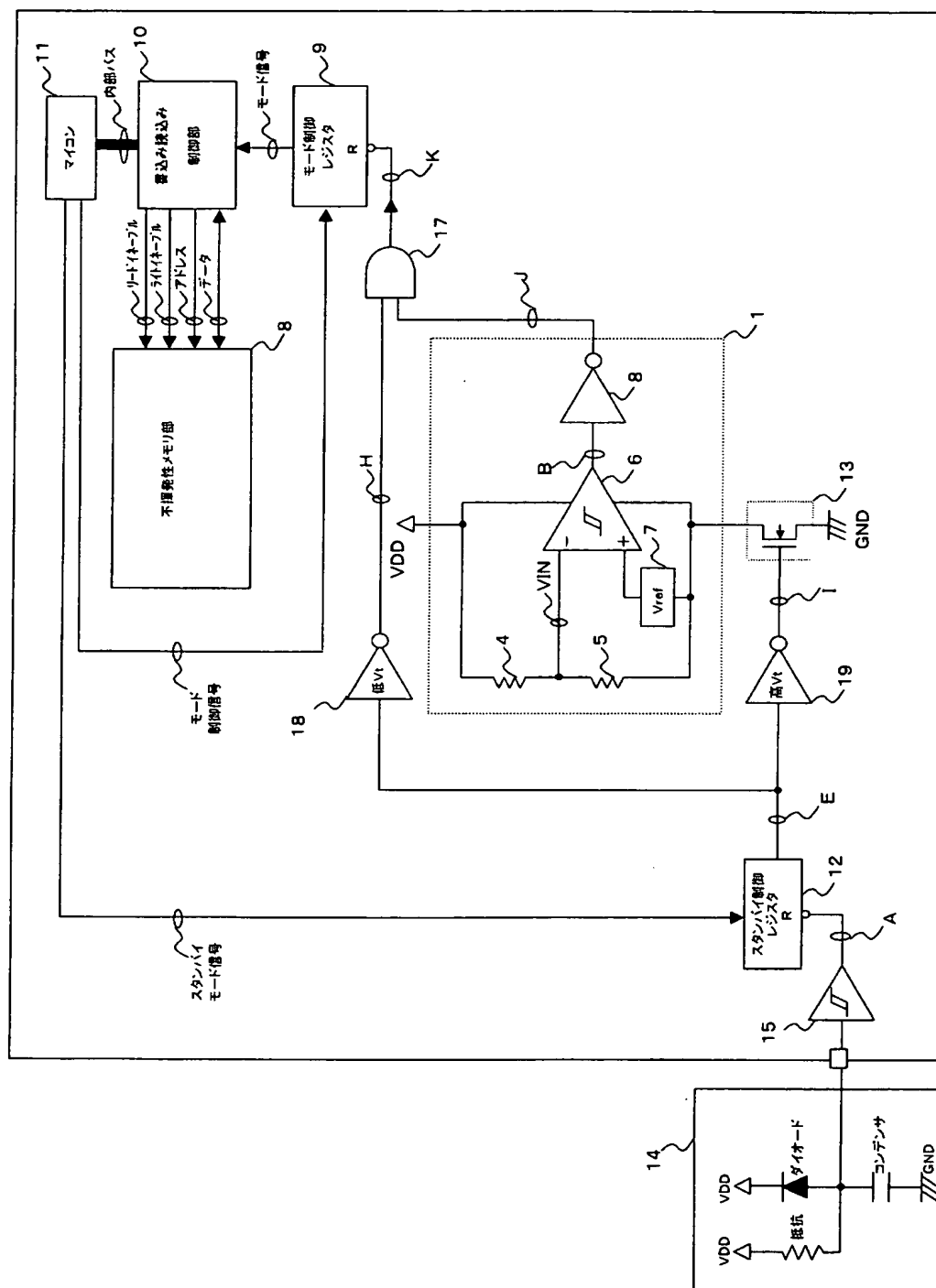
インバータ。

【書類名】 図面

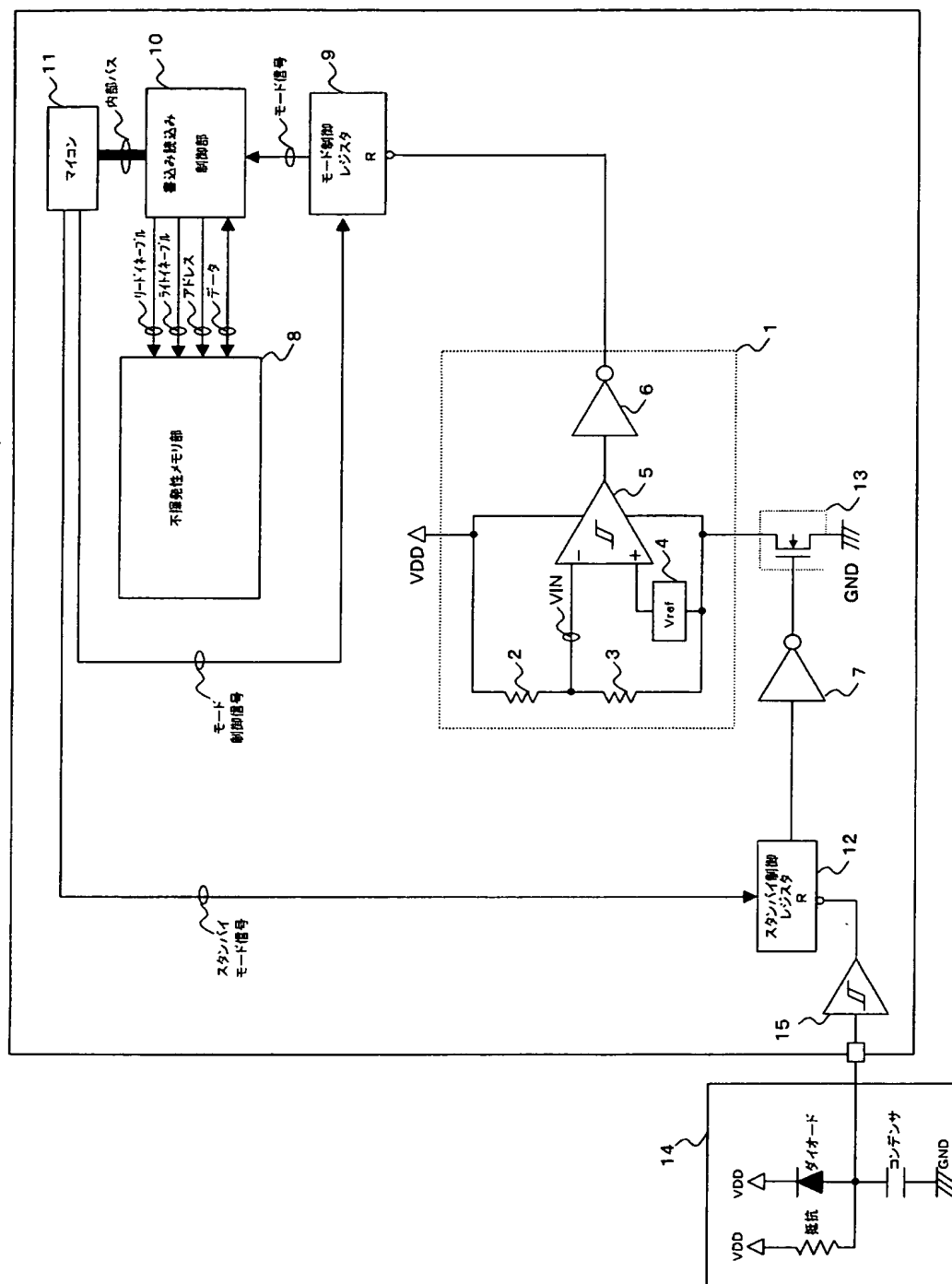
【図 1】



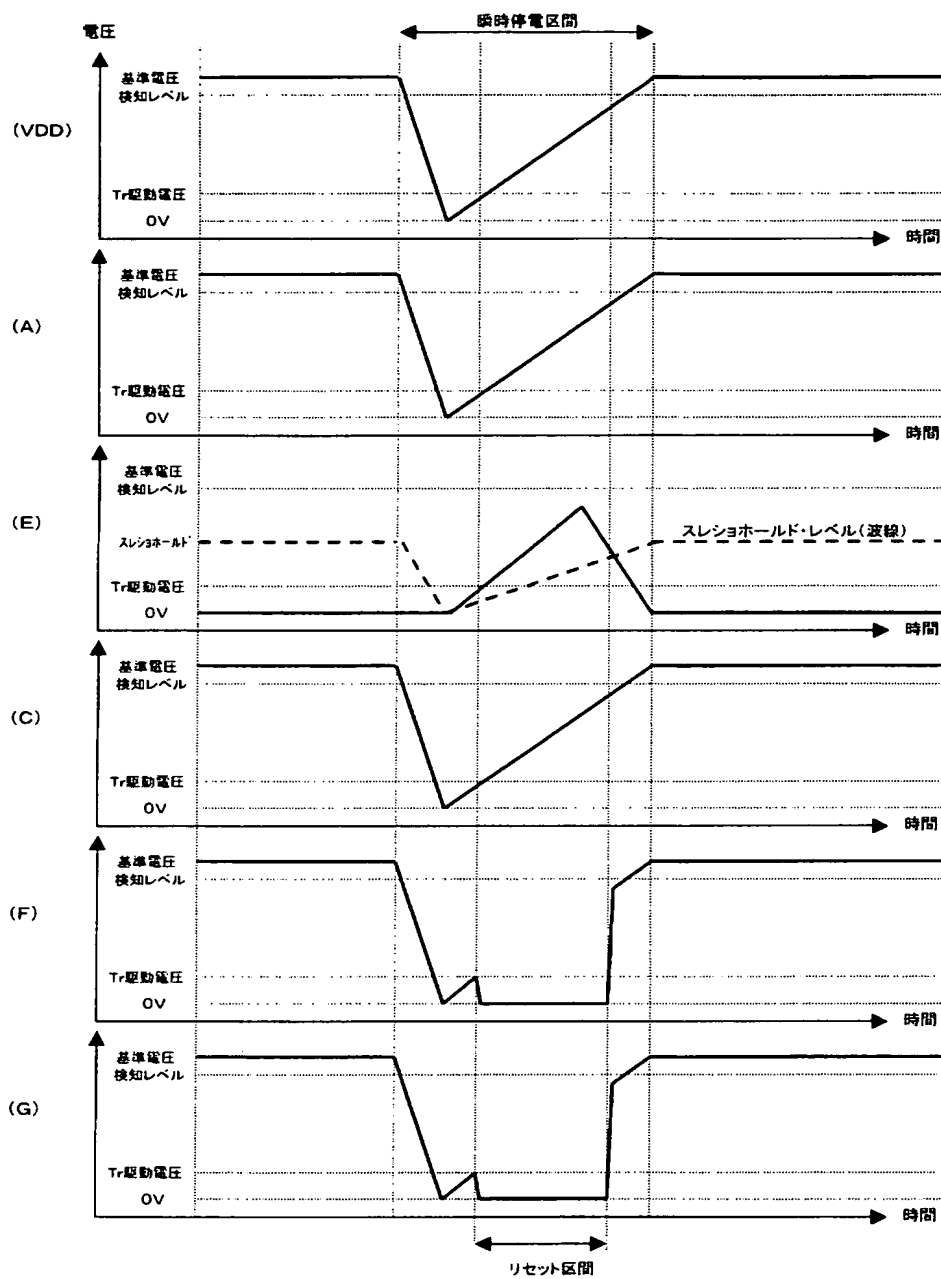
【図 2】



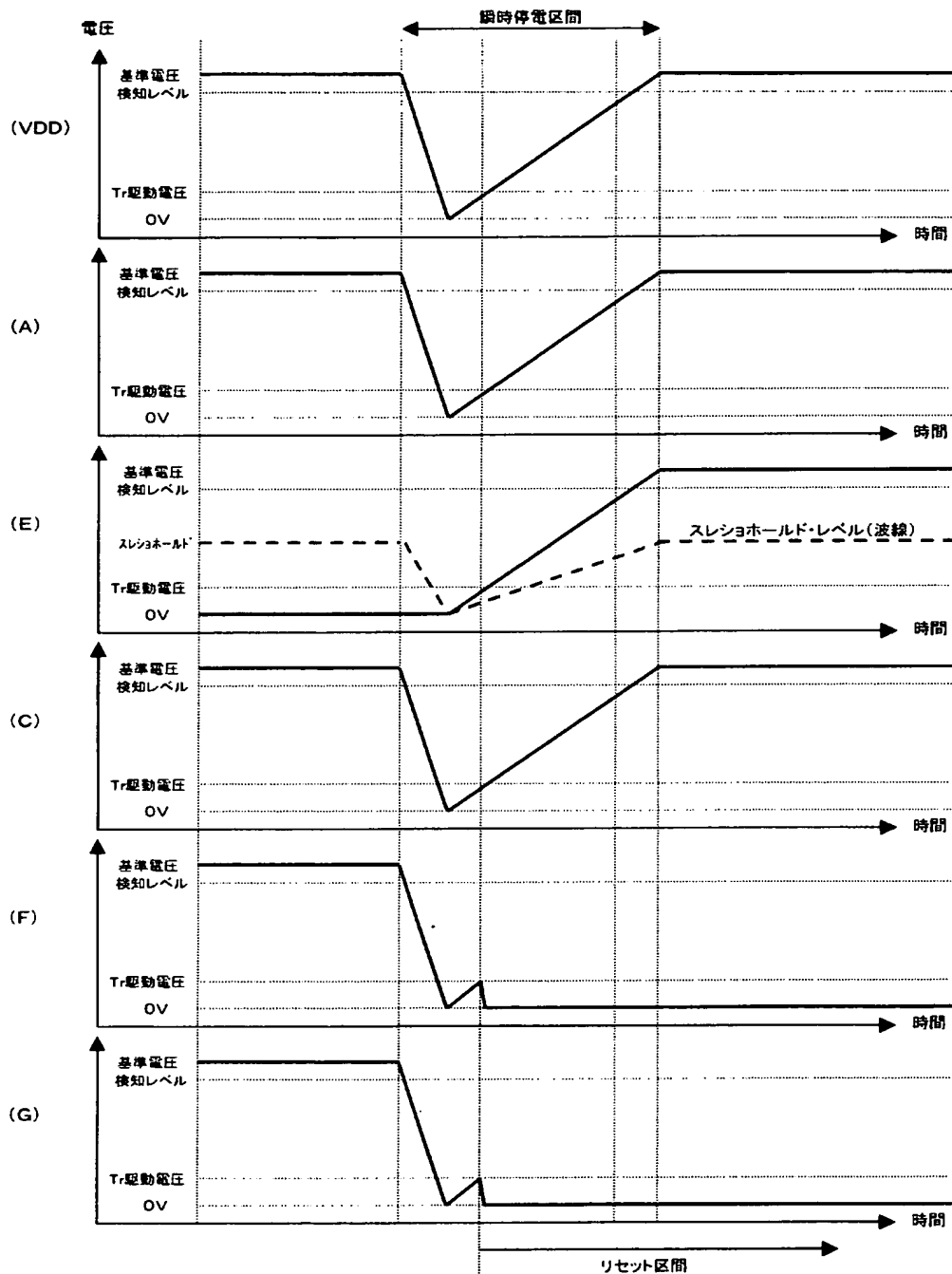
【図 3】



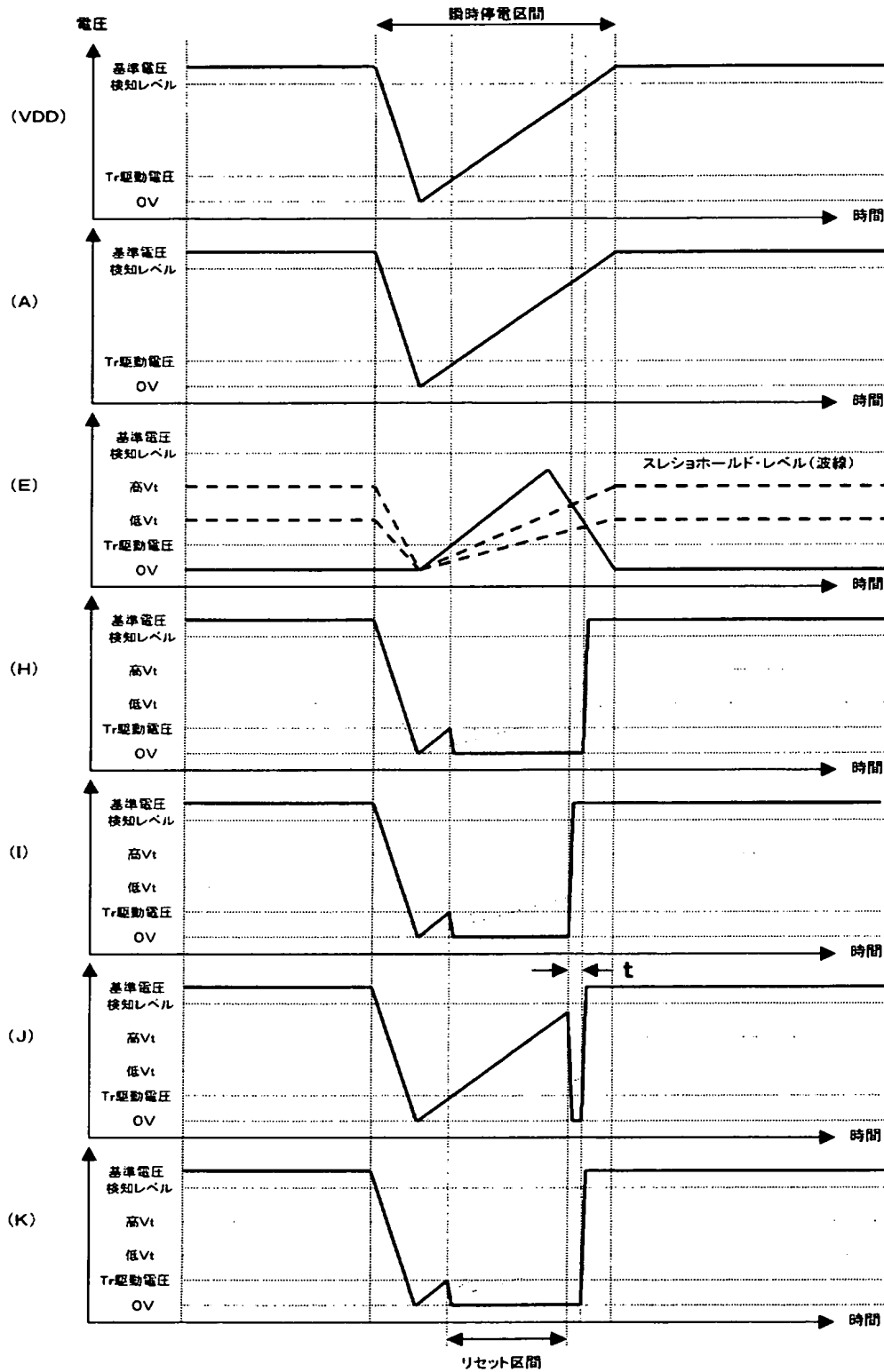
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 瞬時停電による復帰後、不揮発性メモリに対して誤動作による誤書込みを防止する。

【解決手段】 不揮発性メモリ 8 を含むマイコン 11 では、マイコン 11 が待機中に余分な消費電流を抑えるため、スタンバイモードを備えており、スタンバイモード中は、低電圧検知回路 1 のバイアス電流はカットすることが出来るトランジスタ 13 を有し、このトランジスタ 13 がノイズの影響などによる瞬時停電から復帰する際にオン状態にならず、低電圧検知回路 1 が動作しない場合に、補完的に動作するインバータ 16 からの出力である信号 F がアクティブ（「L」レベル）になることで、確実にモード制御部 9 のリセット動作を実行し、不揮発性メモリ 8 に対して誤動作による誤書込みを防止する。

【選択図】 図 1

特願 2 0 0 3 - 0 8 4 3 9 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名 三洋電機株式会社